

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252359

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H01L 21/768

H01L 21/28

H01L 21/3065

(21)Application number : 11-055771

(71)Applicant : SONY CORP

(22)Date of filing : 03.03.1999

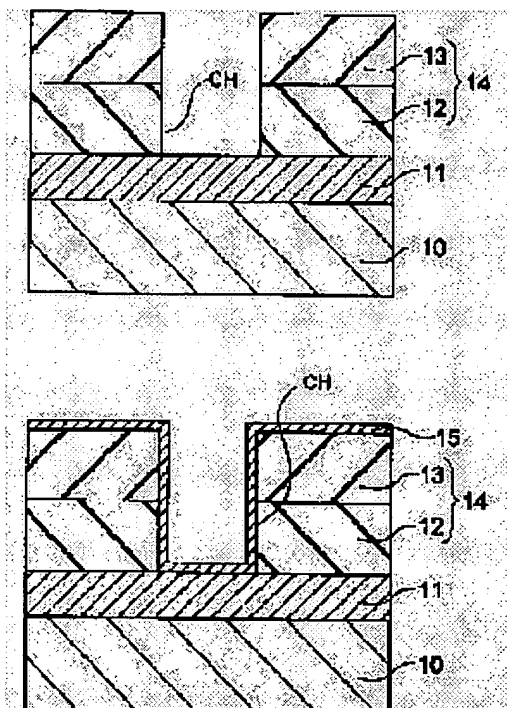
(72)Inventor : FUKAZAWA MASANAGA  
KADOMURA SHINGO

## (54) ETCHING METHOD FOR INSULATING FILM AND FORMATION METHOD FOR WIRING LAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method in which an insulating film including an organic dielectric film is etched and worked quickly without forming a damage layer and without lowering a throughput.

SOLUTION: An insulating film 14 which contains an organic dielectric film such as a laminated film by an organic dielectric film 12 such as a polyallylether film or the like and by a silicon oxide-based dielectric film is formed on a substrate 10. A mask layer R is patterned and formed on the upper layer of the insulating film. Then, when the organic dielectric film part 12 is etched and worked, it is etched by making use of the mask layer as an etching mask by using ions or radicals which contain an NH group and which are generated by a gas discharge in a mixed gas of hydrogen gas and nitrogen gas or in a mixed gas of ammonia gas. While a reaction product containing a CN group is produced, the insulating film 14 (12) is etched, and an opening or the like is formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention forms opening in the etching method of the insulator layer which contains the organic system dielectric film of a low dielectric constant especially, and the aforementioned insulator layer by etching about the etching method of an insulator layer, and the formation method of a wiring layer, embeds it by the conductor, and relates to the formation method of the wiring layer which forms a wiring layer.

[0002]

[Description of the Prior Art] Detailed-izing and high integration of a semiconductor integrated circuit in recent years will progress to the next generation in three years, and it is necessary to integrate millions of or more elements to the semiconductor chip of several mm angle. In order to attain detailed-izing and high integration of the above-mentioned semiconductor device, a former generation's reduction-ization 70 percent's was performed, for example, the design rule narrowed the occupancy area of the capacitor in gate width, DRAM, etc. of a gate electrode of a transistor, and has also realized improvement in the speed of a semiconductor device with reduction-izing. The multilayer-interconnection technology of it becoming impossible for the wiring layer of a semiconductor device to be unable to respond in detailed-ization of a superficial element like before, and accumulating a wiring layer on three-fold [ a duplex or ] or more is becoming indispensable with detailed-izing and high integration of the above-mentioned semiconductor device.

[0003] However, the demand to advanced features of the element to the semiconductor device integrated highly as mentioned above by one side and improvement in the speed of a working speed is increasing increasingly, for example, becomes the factor in which the signal delay by increase of the capacity between wiring layers bars improvement in the speed of device operation in the multilayer-interconnection layer which is the above and which turned minutely, and poses an important problem. In order to solve this problem, a layer insulation film is formed by the low insulation material of specific inductive capacity rather than the silicon oxide (specific inductive capacity 4.3) used conventionally, and the method of reducing the capacity between wiring layers is studied.

[0004] As a low insulation material of specific inductive capacity, it is divided roughly into an organic system material and an inorganic system material rather than a silicon oxide. SiOF which is the representation of the above-mentioned inorganic system material attracts attention as near technology of utilization from the ability of membranes to be easily formed by the plasma CVD (Chemical Vapor Deposition) method etc. On the other hand, as an organic system material, as for the poly aryl ether etc., specific inductive capacity has much 2-3.0, and low material, for example, and the expectation for the utilization towards henceforth [ next generation ] is great.

[0005] As mentioned above, the low organic system material of specific inductive capacity is used for some layer insulation films, and it is carried out as follows as a method of manufacturing the semiconductor device which reduced the capacity between wiring layers, for example. First, on the silicon semiconductor substrate 10, as shown in drawing 8 (a), after forming the semiconductor device which is not illustrated, such as a transistor, aluminum is made to deposit on the upper layer of the semiconductor substrate 10, or the upper layer of a non-illustrated insulator layer, pattern processing is carried out, and the 1st wiring layer 11 is formed. Next, the poly aryl ether of a liquid is dropped on a substrate, for example, and a substrate is rotated, it extends uniformly, and baking processing and cure processing are performed, and while [ the 1st layer ] consisting of the poly aryl ether, an insulator layer 12 is formed. Next, while [ the 2nd layer ] becoming the upper layer of an insulator layer 12 from a silicon oxide between the 1st layer, an insulator layer 13 is formed. The layer insulation film 14 which is a laminating insulator layer of the insulator layer 12 between the 1st layer and the insulator layer 13 between the 2nd layer as mentioned above is formed. Next, the resist film R which has the opening pattern of a contact hole according to a photo lithography process is formed in the upper layer of the layer insulation film 14.

[0006] Next, as shown in drawing 8 (b), they are C<sub>4</sub>F<sub>8</sub> / CO/Ar/O<sub>2</sub> as etching gas by the magnetron etching system. It etches by using and opening of the contact hole CH to which an insulator layer 13 is penetrated between the 2nd layer, and an insulator layer 12 is exposed between the 1st layer is carried out.

[0007] Next, as shown in drawing 9 (c), opening of the contact hole CH to which the layer insulation film 14 which consists of an insulator layer 12 and an insulator layer 13 between the 2nd layer is penetrated, and the upper surface of the 1st wiring layer 11 is exposed is carried out between the 1st layer using an efficient consumer response (Electron Cyclotron Resonance) type plasma etching system by etching processing using the oxygen (O<sub>2</sub>) usually used for the etching processing of an insulator layer which consists of an organic system material. In the above-mentioned etching processing, etching removal of

the resist film R which consists of an organic system material is carried out. Furthermore, between the 1st layer, the surface portion of the internal surface of the contact hole CH of an insulator layer 12 will oxidize by etching processing which uses oxygen (O<sub>2</sub>), and damage layer 12' will be formed.

[0008] Next, as shown in drawing 9 (d), by the sputtering methods, such as the long distance sputtering method, a titanium-nitride film or the cascade screen of a titanium nitride and titanium is formed, and the adhesion layer 15 is formed.

[0009] After forming the plug which embeds the inside of a contact hole CH by conductors, such as a tungsten, for example by CVD, and connects with the 1st wiring layer 11 as subsequent processes, as it connects with a plug, the 2nd wiring layer is formed in the upper layer. As a next process, other semiconductor devices can also be formed further. Above, the 1st wiring layer formed in the upper layer and the lower layer of a layer insulation film, respectively and the 2nd wiring layer can form the semiconductor device connected by the plug embedded in the contact hole which penetrates a layer insulation film.

[0010]

[Problem(s) to be Solved by the Invention] However, it sets to the manufacture method of the above-mentioned semiconductor device. In the process which \*\*\*\*\*s an insulator layer 12 between the 1st layer, and carries out opening of the contact hole CH From oxidizing by etching processing using oxygen (O<sub>2</sub>), and damage layer 12' being formed in the surface portion of the internal surface of the contact hole CH of an insulator layer 12 between the 1st layer In the process which embeds the inside of a contact hole CH by conductors, such as a tungsten, by CVD etc. As shown in drawing 10, Gas G will be emitted from damage layer 12', the poor embedding (void) V was formed, without the ability performing embedding of the contact hole CH by the tungsten good, and the problem it becomes poor conducting current has occurred.

[0011] Although the method using reactant low nitrogen (N<sub>2</sub>) gas is also in the etching processing of an insulator layer which consists of an organic system material rather than oxygen (O<sub>2</sub>) gas in order to avoid the above-mentioned problem, an etch rate becomes remarkably low and makes another problem of the fall of a throughput generated in the manufacturing process of a semiconductor device rather than the case where oxygen gas is used in this case.

[0012] this invention is made in view of the above-mentioned situation, therefore this invention forms opening in the etching method of the insulator layer which can carry out etching processing quickly, without bringing about the fall of a throughput, without forming the damage layer used as the cause that electric conduction is poor when processing the insulator layer containing an organic system dielectric film, and the aforementioned insulator layer by etching, and it embeds by the conductor, and aims at providing the formation method of the wiring layer which forms a wiring layer.

[0013]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the etching method of the insulator layer of this invention has radically the process which forms the insulator layer which contains an organic system dielectric film in a substrate, the process which carries out pattern formation of the mask layer to the upper layer of the aforementioned insulator layer, the ion which contains NH basis at least by using the aforementioned mask layer as an etching mask, or the process which carries out etching processing of the aforementioned insulator layer more.

[0014] Suitably, in the process which carries out etching processing of the aforementioned insulator layer, by the gas discharge in the mixed gas which contains hydrogen gas and nitrogen gas at least, or the gas containing ammonia gas, the etching method of the insulator layer of the above-mentioned this invention generates the ion or radical containing NH basis, and carries out etching processing.

[0015] The etching method of the insulator layer of the above-mentioned this invention carries out etching processing suitably in the process which carries out etching processing of the aforementioned insulator layer, generating the resultant which contains CN basis at least.

[0016] When the process which forms the aforementioned insulator layer carries out etching processing of the aforementioned organic system dielectric film portion in the process which carries out etching processing of the aforementioned insulator layer including the process which forms the aforementioned organic system dielectric film in a substrate, and the process which forms a silicon-oxide system dielectric film in the upper layer of the aforementioned organic system dielectric film, the etching method of the insulator layer of the above-mentioned this invention is based on the ion or the radical which contains NH basis at least, and carries out etching processing suitably.

[0017] The etching method of the insulator layer of the above-mentioned this invention forms the poly aryl ether film as the aforementioned organic system dielectric film suitably.

[0018] The cascade screen of organic system dielectric films, such as the poly aryl ether film, and a silicon-oxide system dielectric film etc. forms the insulator layer containing an organic system dielectric film in a substrate, and the etching method of the insulator layer of the above-mentioned this invention carries out pattern formation for mask layers, such as a resist film, to it at the upper layer of an insulator layer. Next, when carrying out etching processing of the organic system dielectric film portion, etching processing of the insulator layer is radically carried out more by using a mask layer as an etching mask, generating the ion containing NH basis generated by the gas discharge in the mixed gas of hydrogen gas and nitrogen gas, or the gas containing ammonia gas etc., or the resultant containing CN basis.

[0019] According to the etching method of the insulator layer of the above-mentioned this invention, when \*\*\*\*\*ing organic system dielectric film portions, such as the poly aryl ether film, etching processing is carried out by the ion or radical which contains NH basis at least. Etching processing of the insulator layer containing an organic system dielectric film can be carried out quickly, without suppressing side etch, and maintaining a high etch rate, and bringing about the fall of a throughput, without forming the damage layer used as the cause that electric conduction is poor according to the ion containing NH basis, or etching depended radically.

[0020] In order to attain the above-mentioned purpose, moreover, the formation method of the wiring layer of this invention The process which forms the 1st wiring layer in a substrate, and the process which forms the insulator layer which contains an organic system dielectric film in the upper layer of the 1st wiring layer of the above, The process which carries out pattern formation of the mask layer to the upper layer of the aforementioned insulator layer, and the aforementioned mask layer are used as an etching mask. It has the process which forms the ion which contains NH basis at least, or opening which \*\*\*\*\*s more radically, penetrates the aforementioned insulator layer, and reaches the 1st wiring layer, and the process which embeds the inside of the aforementioned opening by the conductor so that it may connect with the 1st wiring layer of the above, and forms the 2nd wiring layer.

[0021] Suitably, in the process which forms the aforementioned opening, by the gas discharge in the mixed gas which contains hydrogen gas and nitrogen gas at least, or the gas containing ammonia gas, the formation method of the wiring layer of the above-mentioned this invention generates the ion or radical containing NH basis, and \*\*\*\*\*s.

[0022] The formation method of the wiring layer of the above-mentioned this invention \*\*\*\*\*s suitably in the process which forms the aforementioned opening, generating the resultant which contains CN basis at least.

[0023] Suitably, the formation method of the wiring layer of the above-mentioned this invention \*\*\*\*\*s by the ion or radical which contains NH basis at least, when the process which forms the aforementioned insulator layer \*\*\*\*\*s the aforementioned organic system dielectric film portion to a substrate in the process which forms the aforementioned opening including the process which forms the aforementioned organic system dielectric film, and the process which forms a silicon-oxide system dielectric film in the upper layer of the aforementioned organic system dielectric film.

[0024] The formation method of the wiring layer of the above-mentioned this invention forms the poly aryl ether film as the aforementioned organic system dielectric film suitably.

[0025] The formation method of the wiring layer of the above-mentioned this invention forms the 1st wiring layer in a substrate, and the cascade screen of organic system dielectric films, such as the poly aryl ether film, and a silicon-oxide system dielectric film etc. forms the insulator layer containing an organic system dielectric film in the upper layer of the 1st wiring layer, and it carries out pattern formation for mask layers, such as a resist film, to it at the upper layer of an insulator layer. Next, when carrying out etching processing of the organic system dielectric film portion, opening which \*\*\*\*\*s considering a mask layer as an etching mask, penetrates an insulator layer, generating the ion containing NH basis generated by the gas discharge in the mixed gas of hydrogen gas and nitrogen gas or the gas containing ammonia gas etc. or the resultant containing CN basis, and reaches the 1st wiring layer is formed more radically. Next, the inside of opening is embedded by the conductor so that it may connect with the 1st wiring layer, and the 2nd wiring layer is formed.

[0026] According to the formation method of the wiring layer of the above-mentioned this invention, when \*\*\*\*\*ing organic system dielectric film portions, such as the poly aryl ether film, it depends and \*\*\*\*\*s to the ion or radical which contains NH basis at least. Without forming the damage layer used as the cause that electric conduction is poor according to the ion containing NH basis, or etching depended radically, without suppressing side etch, and maintaining a high etch rate, and bringing about the fall of a throughput, quickly, the insulator layer containing an organic system dielectric film is \*\*\*\*\*ed, opening is formed, it can embed by the conductor and a wiring layer can be formed.

[0027]

[Embodiments of the Invention] Below, the gestalt of operation of this invention is explained with reference to a drawing.

[0028] The formation method of the wiring layer concerning this operation gestalt is explained with reference to a drawing. Drawing 1 is the cross section of the wiring layer formed by the formation method of the wiring layer concerning this operation gestalt. The semiconductor device which is not illustrated, such as a transistor, is formed in the predetermined field of the silicon semiconductor substrate 10, and the 1st wiring layer 11 which consists of aluminum is formed in the upper layer of the semiconductor substrate 10, or the upper layer of a non-illustrated insulator layer in the field shown in drawing 1 by one side. While [ the 2nd layer ] consisting of the poly aryl ether, and consisting of an insulator layer 12 and a silicon oxide, the layer insulation film 14 which is a laminating insulator layer of an insulator layer 13 is formed [ the 1st layer ] in the upper layer of the 1st wiring layer. Opening of the contact hole CH which reaches the 1st wiring layer 11 is carried out to the layer insulation film 14. Plug 16a which has covered the adhesion layer 15 which consists the internal surface of a contact hole CH of a titanium-nitride film or a cascade screen of a titanium nitride and titanium, for example, consists of a tungsten is embedded. It connects with plug 16a and the 2nd wiring layer 17 which consists of aluminum is formed in the upper layer.

[0029] Next, the formation method of the above-mentioned wiring layer is explained. First, as shown in drawing 2 (a), after forming in the upper layer of the silicon semiconductor substrate 10 the semiconductor device which is not illustrated, such as a transistor, in a non-illustrated field, aluminum is made to deposit on the upper layer of the semiconductor substrate 10, or the upper layer of a non-illustrated insulator layer, pattern processing is carried out, and the 1st wiring layer 11 is formed.

[0030] Next, the poly aryl ether of a liquid is dropped on a substrate, for example, and it is 2500 - 3000rpm about a substrate. Make it rotate and it extends uniformly. For example, baking processing is performed to a degree under nitrogen-gas-atmosphere mind at 250 degrees C by 150 degrees C for 1 minute for 1 minute, respectively. While [ the 1st layer ] moving to a cure furnace furthermore, performing cure processing under nitrogen-gas-atmosphere mind at 400 degrees C for 1 hour, covering the 1st wiring layer 11 and becoming the whole surface from the poly aryl ether, an insulator layer 12 is formed by 500nm thickness.

[0031] Next, between the 1st layer, while [ the 2nd layer ] consisting of a silicon oxide by the plasma CVD (Chemical Vapor Deposition) method, an insulator layer 13 is formed in the upper layer of an insulator layer 12 by 600nm thickness. as the conditions for plasma CVD processing -- for example (RF power (13.56MHz) : 0.5kW, pressure:5Torr, material gas, and a

flow rate :SiH<sub>4</sub>/N<sub>2</sub>O=100/400sccm) -- \*\* -- it carries out The layer insulation film 14 which is a laminating insulator layer of the insulator layer 12 between the 1st layer and the insulator layer 13 between the 2nd layer as mentioned above is formed.

[0032] Next, the resist film R used as the etching mask which has the opening pattern of a contact hole according to a photo lithography process is formed in the upper layer of the layer insulation film 14 by 850nm thickness.

[0033] Next, as shown in drawing 2 (b), opening of the opening to which etching processing is performed on conditions, an insulator layer 21 is penetrated between the 2nd layer, and an insulator layer 20 is exposed between the 1st layer by the magnetron etching system is carried out (substrate installation electrode temperature : 20 degrees C, power supply power : 1600 W, a pressure : 5.3Pa, etching gas, and a flow rate : C<sub>4</sub>F<sub>8</sub>/CO/Ar/O<sub>2</sub>=14/250/100/2sccm).

[0034] As shown in drawing 3 (c), next, by the efficient consumer response (Electron Cyclotron Resonance) type plasma etching system For example, (substrate installation electrode temperature : 20 degrees C, mu wave power (2.45GHz) : 2000 W, a pressure : 0.8Pa, RF power : 300 W, etching gas, and flow rate:NH<sub>3</sub>=100sccm) performs etching processing on conditions. Opening of the contact hole (opening) CH to which the insulator layer which consists of an insulator layer 20 and an insulator layer 21 between the 2nd layer is penetrated, and the upper surface of the 1st wiring layer 30 is exposed is carried out between the 1st layer. In the above-mentioned etching processing, etching removal of the resist film R which consists of an organic system material is carried out. In the above-mentioned etching processing, by the gas discharge in the gas containing ammonia gas, the ion or radical containing NH basis is generated, by making this into etchant, it is made to act on a substrate and etching processing is carried out. It is also possible to consider, for example as the conditions using the mixed gas (flow rate H<sub>2</sub>+N<sub>2</sub>=100sccm (for example, H<sub>2</sub>-/N<sub>2</sub>=75/25sccm)) of hydrogen and nitrogen as etching gas, to generate the ion or radical containing NH basis, to make it act on a substrate and to carry out etching processing by making this into etchant, by the gas discharge in the gas which contains the mixed gas of hydrogen and nitrogen like the above. It etches in the above-mentioned etching processing, generating the resultant which contains CN basis, for example.

[0035] Next, as shown in drawing 4 (d), by the sputtering method (the long distance sputtering method or the ionization sputtering method), the internal surface of a contact hole CH is covered, a titanium-nitride film or the cascade screen of a titanium nitride and titanium is formed, and the adhesion layer 15 is formed.

[0036] Next, as shown in drawing 4 (e), the inside of a contact hole H is embedded with a tungsten by CVD, and the layer 16 for plugs is formed. Here, as the material gas in CVD processing of a tungsten, and a flow rate, it is WF<sub>6</sub>/H<sub>2</sub>/Ar=75/500/2500sccm at a nucleation stage in WF<sub>6</sub>/H<sub>2</sub>/SiH<sub>4</sub>/Ar=30/1000/10/2500sccm and an embedding stage, for example. It carries out. It is also possible to use the copper which is the low metallic material of resistance as a material of the layer for plugs, for example. In this case, it is desirable as an adhesion layer to use a tantalum nitride.

[0037] Next, as shown in drawing 4 (f), by the etchback by etching of RIE etc., or CMP (Chemical Mechanical Polishing) processing, the external layer 16 for plugs and the external adhesion layer 15 of a contact hole CH are removed, and it is referred to as plug 16a embedded in the contact hole CH.

[0038] As subsequent processes, it connects with plug 16a, for example by aluminum etc., and pattern formation of the 2nd wiring layer 17 is carried out. Above, as shown in drawing 1, the wiring layer to which the 1st wiring layer 11 and the 2nd wiring layer 17 were connected can be formed by plug 16a embedded in the contact hole CH.

[0039] According to the formation method of the wiring layer of this above-mentioned operation form, when \*\*\*\*\*ing organic system dielectric film portions, such as the poly aryl ether film, etching processing is carried out using the ion or the etching processing depended radically which contains NH basis at least. Side etch is suppressed, and an about 450nm [minute] high etch rate is maintained, without forming the damage layer used as the cause that electric conduction is poor according to the ion containing NH basis, or etching depended radically, without bringing about the fall of a throughput, quickly, anisotropic etching processing of the insulator layer containing an organic system dielectric film can be carried out, opening can be formed in an insulator layer by this etching processing, it can embed by the conductor, and a wiring layer can be formed.

[0040] (Example 1) In the above-mentioned operation form, while [ the 2nd layer ] consisting of the poly aryl ether, the emission spectrum which carried out the spectrum of the light which emits light from the etching gas when being referred to as (a) N<sub>2</sub>=100sccm and (b) N<sub>2</sub>-/H<sub>2</sub>=50/50sccm, and (c) H<sub>2</sub>=100sccm, and obtained it was measured as etching processing when carrying out etching processing of the insulator layer. A result is shown in drawing 5. As shown in drawing 5, it is N<sub>2</sub>/H<sub>2</sub>. When having etched by mixed gas and N<sub>2</sub> gas or H<sub>2</sub> gas was used, the peak of NH which is not seen was observed. Moreover, about the peak of CN, it is N<sub>2</sub>/H<sub>2</sub>. In the case of mixed gas, the peak was observed more strongly than the case of N<sub>2</sub> gas or H<sub>2</sub> gas.

[0041] (Example 2) In the above-mentioned operation form, while [ the 2nd layer ] consisting of the poly aryl ether, as etching processing when carrying out etching processing of the insulator layer N<sub>2</sub>/H<sub>2</sub>=100/0-50/50-0/100sccm The relative etch rate when changing an etching quantity-of-gas-flow ratio (the etch rate at the time of N<sub>2</sub>/H<sub>2</sub>=100/0sccm is set to 1), The emission spectrum intensity ratio of each luminescence component in each flow rate (CN, NH, N<sub>2</sub>, CH, H) was measured. A result is shown in drawing 6. It is \*\*\*\*\* , when an etch rate and the emission spectrum intensity ratio of CN and NH show the almost same behavior, as shown in drawing 6.

[0042] While [ the 2nd layer ] consisting of the experiment of the above-mentioned example 1 and an example 2 to the poly aryl ether, it was checked that the compound which the ion or radical containing NH basis acts as etchant, and contains CN as the resultant when carrying out etching processing of the insulator layer is generated.

[0043] (Example 3) as the etching gas when carrying out etching processing of the insulator layer in the above-mentioned operation form, while [ the 2nd layer ] consisting of the poly aryl ether -- (a) N<sub>2</sub> and (b) N<sub>2</sub>/H<sub>2</sub> The mass spectrum under

etching at the time of using was measured. A result is shown in drawing 7 . As shown in drawing 7 , it is N<sub>2</sub>/H<sub>2</sub>. It sets to etching using gas and is NH<sub>x</sub>. It was checked that ion and the radical are generated and the molecule in which this contributes as etchant and contains CN or CN as a resultant is generated.

[0044] this invention is applicable to the manufacture method of a semiconductor device including the etching method of an insulator layer, or the formation method of a wiring layer etc., and as a semiconductor device, the semiconductor device of MOS transistors, such as DRAM, the semiconductor device of bipolar \*\*, or an A/D converter can be applied even to what, if formed by the method including the etching method of an insulator layer, or the formation method of a wiring layer, and there is no limitation.

[0045] this invention is not limited to the form of the above-mentioned operation. For example, it is also possible to apply to etching processing of the DAMASHIN process for \*\*\*\*\*ing the insulator layer containing an organic system dielectric film, and carrying out opening of the contact hole, and also forming slot wiring or the dual DAMASHIN process which carries out opening of the contact hole to slot wiring simultaneously. Moreover, an insulator layer and the insulator layer between the 2nd layer can be considered as multilayer composition between the 1st layer, respectively. Wiring layers, such as the 1st and the 2nd wiring layer, and a plug, can be considered as monolayer composition or multilayer composition, respectively. Various semiconductor devices, such as a transistor and a capacitor, can be formed on a semiconductor substrate. In addition, change various in the range which does not deviate from the summary of this invention can be made.

[0046]

[Effect of the Invention] According to this invention, when \*\*\*\*\*ing organic system dielectric film portions, such as the poly aryl ether film, it can \*\*\*\*\* quickly, without suppressing side etch, without forming the ion which contains NH basis at least, or the damage layer which \*\*\*\*\*s more radically and becomes the cause that electric conduction is poor, and maintaining a high etch rate, and bringing about the fall of a throughput. Moreover, opening is formed in the insulator layer which contains an organic system dielectric film by this etching processing, it can embed by the conductor and a wiring layer can be formed.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-252359

(P2000-252359A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)		
H O 1 L	21/768	H O 1 L	21/90	S	4 M 1 0 4
	21/28		21/28	M	5 F 0 0 4
	21/3065		21/302	H	5 F 0 3 3
				F	

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21)出願番号 特願平11-55771

(22)出願日 平成11年3月3日(1999.3.3)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 深沢 正永

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 門村 新吾

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

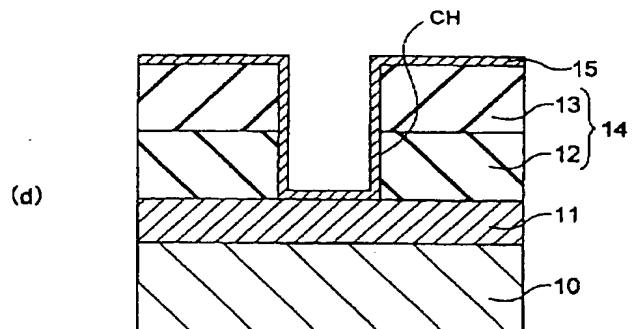
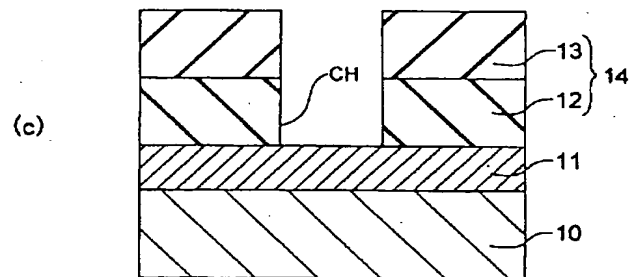
最終頁に続く

(54)【発明の名称】 絶縁膜のエッチング方法および配線層の形成方法

(57)【要約】

【課題】有機系誘電膜を含む絶縁膜に対してダメージ層の形成やスループットの低下をもたらさずに迅速にエッチング加工する方法を提供する。

【解決手段】基板10に、ポリアリールエーテル膜などの有機系誘電膜12と酸化シリコン系誘電膜13の積層膜など、有機系誘電膜を含む絶縁膜14を形成し、絶縁膜の上層にマスク層Rをパターン形成する。次に、有機系誘電膜部分12をエッチング加工するときに、水素ガスと窒素ガスの混合ガス中、あるいは、アンモニアガスの混合ガス中における気体放電などにより発生するNH基を含むイオンまたはラジカルにより、マスク層Rをエッチングマスクとしてエッチングして、CN基を含む反応生成物などを生成しながら、絶縁膜14(12)をエッチングし、開口部などを形成する。



## 【特許請求の範囲】

【請求項1】基板に有機系誘電膜を含む絶縁膜を形成する工程と、

前記絶縁膜の上層にマスク層をパターン形成する工程と、

前記マスク層をエッチングマスクとして、少なくともNH基を含むイオンまたはラジカルにより、前記絶縁膜をエッチング加工する工程とを有する絶縁膜のエッチング方法。

【請求項2】前記絶縁膜をエッチング加工する工程においては、少なくとも水素ガスと窒素ガスを含む混合ガス中における気体放電により、NH基を含むイオンまたはラジカルを発生させてエッチング加工する請求項1記載の絶縁膜のエッチング方法。

【請求項3】前記絶縁膜をエッチング加工する工程においては、少なくともアンモニアガスを含むガス中における気体放電により、NH基を含むイオンまたはラジカルを発生させてエッチング加工する請求項1記載の絶縁膜のエッチング方法。

【請求項4】前記絶縁膜をエッチング加工する工程においては、少なくともCN基を含む反応生成物を生成しながらエッチング加工する請求項1記載の絶縁膜のエッチング方法。

【請求項5】前記絶縁膜を形成する工程が、基板に前記有機系誘電膜を形成する工程と、前記有機系誘電膜の上層に酸化シリコン系誘電膜を形成する工程とを含み、前記絶縁膜をエッチング加工する工程においては、前記有機系誘電膜部分をエッチング加工するときに、少なくともNH基を含むイオンまたはラジカルによりエッチング加工する請求項1記載の絶縁膜のエッチング方法。

【請求項6】前記有機系誘電膜として、ポリアリアルエーテル膜を形成する請求項1記載の絶縁膜のエッチング方法。

【請求項7】基板に第1配線層を形成する工程と、前記第1配線層の上層に有機系誘電膜を含む絶縁膜を形成する工程と、前記絶縁膜の上層にマスク層をパターン形成する工程と、前記マスク層をエッチングマスクとして、少なくともNH基を含むイオンまたはラジカルによりエッチングして、前記絶縁膜を貫通して第1配線層に達する開口部を形成する工程と、前記第1配線層に接続するように前記開口部内を導電体で埋め込み、第2配線層を形成する工程とを有する配線層の形成方法。

【請求項8】前記開口部を形成する工程においては、少なくとも水素ガスと窒素ガスを含む混合ガス中における気体放電により、NH基を含むイオンまたはラジカルを発生させてエッチングする請求項7記載の配線層の形成方法。

【請求項9】前記開口部を形成する工程においては、少

なくともアンモニアガスを含むガス中における気体放電により、NH基を含むイオンまたはラジカルを発生させてエッチングする請求項7記載の配線層の形成方法。

【請求項10】前記開口部を形成する工程においては、少なくともCN基を含む反応生成物を生成しながらエッチングする請求項7記載の配線層の形成方法。

【請求項11】前記絶縁膜を形成する工程が、基板に前記有機系誘電膜を形成する工程と、前記有機系誘電膜の上層に酸化シリコン系誘電膜を形成する工程とを含み、前記開口部を形成する工程においては、前記有機系誘電膜部分をエッチングするときに、少なくともNH基を含むイオンまたはラジカルによりエッチングする請求項7記載の配線層の形成方法。

【請求項12】前記有機系誘電膜として、ポリアリアルエーテル膜を形成する請求項7記載の配線層の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は絶縁膜のエッチング方法および配線層の形成方法に関し、特に低誘電率の有機系誘電膜を含む絶縁膜のエッチング方法、および、前記絶縁膜にエッチングにより開口部を形成して導電体で埋め込み、配線層を形成する配線層の形成方法に関する。

## 【0002】

【従来の技術】近年の半導体集積回路の微細化および高集積化は3年で次世代へ進み、数mm角の半導体チップに数百万個以上の素子を集積化することが必要となってきた。上記の半導体装置の微細化および高集積化を達成するために、デザインルールは前世代の7割の縮小化が行われ、例えばトランジスタのゲート電極のゲート幅やDRAMなどでのキャパシタの占有面積を狭め、縮小化に伴い半導体装置の高速化も実現してきた。上記の半導体装置の微細化および高集積化に伴って、半導体装置の配線層は従来のような平面的な素子の微細化では対応しきれなくなり、配線層を2重あるいは3重以上に積み重ねる多層配線技術が不可欠となってきた。

【0003】しかしながら、一方で上記のように高集積化された半導体装置に対する素子の高機能化、動作速度の高速化に対する要求はますます高まりつつあり、例えば上記の微細化された多層配線層において、配線層間の容量の増大による信号遅延がデバイス動作の高速化を妨げる要因となり、重要な問題となっている。この問題を解決するために、従来用いられている酸化シリコン（比誘電率4.3）よりも比誘電率の低い絶縁性材料により層間絶縁膜を形成し、配線層間の容量を低減する方法が研究されている。

【0004】酸化シリコンよりも比誘電率の低い絶縁性材料としては、有機系材料と無機系材料に大別される。上記の無機系材料の代表であるSiOFは、プラズマC



VD (Chemical Vapor Deposition) 法などにより容易に成膜可能であることから実用化の近い技術として注目されている。一方、有機系材料としては、例えばポリアリールエーテルなど、比誘電率が2~3.0と低い材料が多く、次世代以降へ向けての実用化に対する期待が大きい。

【0005】上記のように、層間絶縁膜の一部に比誘電率の低い有機系材料を用い、配線層間の容量を低減した半導体装置を製造する方法としては、例えば以下のように行われる。まず、図8(a)に示すように、シリコン半導体基板10上に、例えばトランジスタなどの不図示の半導体素子を形成した後、半導体基板10の上層あるいは不図示の絶縁膜の上層に例えばアルミニウムを堆積させ、パターン加工して第1配線層11を形成する。次に、例えば液体のポリアリールエーテルを基板上に滴下し、基板を回転させて均一に広げ、ベーキング処理およびキュア処理を行い、ポリアリールエーテルからなる第1層間絶縁膜12を形成する。次に、第1層間絶縁膜12の上層に酸化シリコンからなる第2層間絶縁膜13を形成する。以上のようにして、第1層間絶縁膜12および第2層間絶縁膜13の積層絶縁膜である層間絶縁膜14を形成する。次に、フォトリソグラフィ工程によりコンタクトホール開口パターンを有するレジスト膜Rを層間絶縁膜14の上層に形成する。

【0006】次に、図8(b)に示すように、例えば、マグネトロンエッチング装置により、エッチングガスとして $C_4F_8/CO/Ar/O_2$ を用いてエッチングを施し、第2層間絶縁膜13を貫通して第1層間絶縁膜12を露出させるコンタクトホールCHを開口する。

【0007】次に、図9(c)に示すように、例えばECR (Electron Cyclotron Resonance) 型のプラズマエッチング装置を用いて、有機系材料からなる絶縁膜のエッチング処理に通常用いられる酸素( $O_2$ )を用いるエッチング処理により、第1層間絶縁膜12および第2層間絶縁膜13からなる層間絶縁膜14を貫通して第1配線層11の上面を露出させるコンタクトホールCHを開口する。上記のエッチング処理において、有機系材料からなるレジスト膜Rは、エッチング除去される。さらに、第1層間絶縁膜12のコンタクトホールCHの内壁面の表層部分は、酸素( $O_2$ )を用いるエッチング処理により酸化され、ダメージ層12'が形成されることになる。

【0008】次に、図9(d)に示すように、例えば遠距離スパッタリング法などのスパッタリング法により、窒化チタン膜あるいは窒化チタンとチタンの積層膜などを成膜し、密着層15を形成する。

【0009】以降の工程としては、例えばCVD法によりコンタクトホールCH内をタングステンなどの導電体で埋め込んで第1配線層11に接続するプラグを形成した後、プラグに接続するようにしてその上層に第2配線層を形成する。この後の工程として、さらにその他の半

導体素子を形成することもできる。以上で、層間絶縁膜の上層および下層にそれぞれ形成された第1配線層と第2配線層とが層間絶縁膜を貫通するコンタクトホール内に埋め込まれたプラグにより接続された半導体装置を形成することができる。

#### 【0010】

【発明が解決しようとする課題】しかしながら、上記の半導体装置の製造方法においては、第1層間絶縁膜12をエッチングしてコンタクトホールCHを開口する工程において、酸素( $O_2$ )を用いるエッチング処理により酸化され、第1層間絶縁膜12のコンタクトホールCHの内壁面の表層部分にダメージ層12'が形成されていることから、CVD法などによりコンタクトホールCH内をタングステンなどの導電体で埋め込む工程において、図10に示すように、ダメージ層12'からガスGが放出されてしまい、タングステンによるコンタクトホールCHの埋め込みを良好に行うことができずに埋め込み不良(ボイド)Vが形成されて、導電不良となる問題が発生している。

【0011】上記の問題を避けるために、有機系材料からなる絶縁膜のエッチング処理に、酸素( $O_2$ )ガスよりも反応性の低い窒素( $N_2$ )ガスを用いる方法もあるが、この場合には酸素ガスを用いる場合よりもエッチング速度が著しく低くなり、半導体装置の製造工程においてはスループットの低下という別の問題を発生させることになる。

【0012】本発明は上記の状況を鑑みてなされたものであり、従って本発明は、有機系誘電膜を含む絶縁膜を加工するときに、導電不良の原因となるダメージ層を形成することなく、スループットの低下をもたらさずに迅速にエッチング加工することができる絶縁膜のエッチング方法、および、前記絶縁膜にエッチングにより開口部を形成して導電体で埋め込み、配線層を形成する配線層の形成方法を提供することを目的とする。

#### 【0013】

【課題を解決するための手段】上記の目的を達成するため、本発明の絶縁膜のエッチング方法は、基板に有機系誘電膜を含む絶縁膜を形成する工程と、前記絶縁膜の上層にマスク層をパターン形成する工程と、前記マスク層をエッチングマスクとして、少なくともNH基を含むイオンまたはラジカルにより、前記絶縁膜をエッチング加工する工程とを有する。

【0014】上記の本発明の絶縁膜のエッチング方法は、好適には、前記絶縁膜をエッチング加工する工程においては、少なくとも水素ガスと窒素ガスを含む混合ガス中、あるいは、アンモニアガスを含むガス中における気体放電により、NH基を含むイオンまたはラジカルを発生させてエッチング加工する。

【0015】上記の本発明の絶縁膜のエッチング方法は、好適には、前記絶縁膜をエッチング加工する工程に

おいては、少なくともCN基を含む反応生成物を生成しながらエッチング加工する。

【0016】上記の本発明の絶縁膜のエッチング方法は、好適には、前記絶縁膜を形成する工程が、基板に前記有機系誘電膜を形成する工程と、前記有機系誘電膜の上層に酸化シリコン系誘電膜を形成する工程とを含み、前記絶縁膜をエッチング加工する工程においては、前記有機系誘電膜部分をエッチング加工するときに、少なくともNH基を含むイオンまたはラジカルによるエッチング加工する。

【0017】上記の本発明の絶縁膜のエッチング方法は、好適には、前記有機系誘電膜として、ポリアリールエーテル膜を形成する。

【0018】上記の本発明の絶縁膜のエッチング方法は、基板に、ポリアリールエーテル膜などの有機系誘電膜と酸化シリコン系誘電膜の積層膜など、有機系誘電膜を含む絶縁膜を形成し、絶縁膜の上層にレジスト膜などのマスク層をパターン形成する。次に、有機系誘電膜部分をエッチング加工するときに、水素ガスと窒素ガスの混合ガス中、あるいは、アンモニアガスを含むガス中における気体放電などにより発生するNH基を含むイオンまたはラジカルにより、マスク層をエッチングマスクとして、CN基を含む反応生成物などを生成しながら、絶縁膜をエッチング加工する。

【0019】上記の本発明の絶縁膜のエッチング方法によれば、ポリアリールエーテル膜などの有機系誘電膜部分をエッチングするときに、少なくともNH基を含むイオンまたはラジカルによりエッチング加工する。NH基を含むイオンまたはラジカルによるエッチングによれば、導電不良の原因となるダメージ層を形成することなく、サイドエッチを抑制し、また、高いエッチング速度を維持してスループットの低下をもたらさずに迅速に、有機系誘電膜を含む絶縁膜をエッチング加工することができる。

【0020】また、上記の目的を達成するため、本発明の配線層の形成方法は、基板に第1配線層を形成する工程と、前記第1配線層の上層に有機系誘電膜を含む絶縁膜を形成する工程と、前記絶縁膜の上層にマスク層をパターン形成する工程と、前記マスク層をエッチングマスクとして、少なくともNH基を含むイオンまたはラジカルによりエッチングして、前記絶縁膜を貫通して第1配線層に達する開口部を形成する工程と、前記第1配線層に接続するように前記開口部内を導電体で埋め込み、第2配線層を形成する工程とを有する。

【0021】上記の本発明の配線層の形成方法は、好適には、前記開口部を形成する工程においては、少なくとも水素ガスと窒素ガスを含む混合ガス中、あるいは、アンモニアガスを含むガス中における気体放電により、NH基を含むイオンまたはラジカルを発生させてエッチングする。

【0022】上記の本発明の配線層の形成方法は、好適には、前記開口部を形成する工程においては、少なくともCN基を含む反応生成物を生成しながらエッチングする。

【0023】上記の本発明の配線層の形成方法は、好適には、前記絶縁膜を形成する工程が、基板に前記有機系誘電膜を形成する工程と、前記有機系誘電膜の上層に酸化シリコン系誘電膜を形成する工程とを含み、前記開口部を形成する工程においては、前記有機系誘電膜部分をエッチングするときに、少なくともNH基を含むイオンまたはラジカルによりエッチングする。

【0024】上記の本発明の配線層の形成方法は、好適には、前記有機系誘電膜として、ポリアリールエーテル膜を形成する。

【0025】上記の本発明の配線層の形成方法は、基板に第1配線層を形成し、第1配線層の上層に、ポリアリールエーテル膜などの有機系誘電膜と酸化シリコン系誘電膜の積層膜など、有機系誘電膜を含む絶縁膜を形成し、絶縁膜の上層にレジスト膜などのマスク層をパターン形成する。次に、有機系誘電膜部分をエッチング加工するときに、水素ガスと窒素ガスの混合ガス中、あるいは、アンモニアガスを含むガス中における気体放電などにより発生するNH基を含むイオンまたはラジカルにより、マスク層をエッチングマスクとしてエッチングして、CN基を含む反応生成物などを生成しながら、絶縁膜を貫通して第1配線層に達する開口部を形成する。次に、第1配線層に接続するように開口部内を導電体で埋め込み、第2配線層を形成する。

【0026】上記の本発明の配線層の形成方法によれば、ポリアリールエーテル膜などの有機系誘電膜部分をエッチングするときに、少なくともNH基を含むイオンまたはラジカルによるエッチングする。NH基を含むイオンまたはラジカルによるエッチングによれば、導電不良の原因となるダメージ層を形成することなく、サイドエッチを抑制し、また、高いエッチング速度を維持してスループットの低下をもたらさずに迅速に、有機系誘電膜を含む絶縁膜をエッチングして開口部を形成し、導電体で埋め込んで配線層を形成することができる。

【0027】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

【0028】本実施形態に係る配線層の形成方法について、図面を参照して説明する。図1は、本実施形態に係る配線層の形成方法により形成した配線層の断面図である。シリコン半導体基板10の所定の領域に、例えばトランジスタなどの不図示の半導体素子が形成されており、一方で図1に示す領域では、半導体基板10の上層あるいは不図示の絶縁膜の上層に例えばアルミニウムからなる第1配線層11が形成されている。第1配線層の上層には、例えばポリアリールエーテルからなる第1層

間絶縁膜12および酸化シリコンからなる第2層間絶縁膜13の積層絶縁膜である層間絶縁膜14が形成されている。層間絶縁膜14には、第1配線層11に達するコンタクトホールCHが開口されている。コンタクトホールCHの内壁面を窒化チタン膜あるいは窒化チタンとチタンの積層膜などからなる密着層15を被覆しており、例えばタングステンからなるプラグ16aが埋め込まれている。プラグ16aに接続して、その上層に例えばアルミニウムからなる第2配線層17が形成されている。

【0029】次に、上記の配線層の形成方法について説明する。まず、図2(a)に示すように、シリコン半導体基板10の上層に、不図示の領域において例えばトランジスタなどの不図示の半導体素子を形成した後、半導体基板10の上層あるいは不図示の絶縁膜の上層に例えばアルミニウムを堆積させ、パターン加工して第1配線層11を形成する。

【0030】次に、例えば液体のポリアリアルエーテルを基板上に滴下し、基板を例えば2500~3000rpmで回転させて均一に広げ、例えば150℃で1分、次に250℃で1分、それぞれ窒素雰囲気下でベーキング処理を施し、さらにキュア炉に移して400℃で1時間、窒素雰囲気下でキュア処理を行い、第1配線層11を被覆して全面にポリアリアルエーテルからなる第1層間絶縁膜12を500nmの膜厚で形成する。

【0031】次に、第1層間絶縁膜12の上層に例えばプラズマCVD (Chemical Vapor Deposition) 法により酸化シリコンからなる第2層間絶縁膜13を600nmの膜厚で形成する。プラズマCVD処理の条件としては、例えば(RFパワー(13.56MHz):0.5kW、圧力:5 Torr、原料ガスおよび流量:SiH<sub>4</sub>/N<sub>2</sub>O=100/400sccm)とする。以上のようにして、第1層間絶縁膜12および第2層間絶縁膜13の積層絶縁膜である層間絶縁膜14を形成する。

【0032】次に、フォトリソグラフィ工程によりコンタクトホールの開口パターンを有するエッチングマスクとなるレジスト膜Rを850nmの膜厚で層間絶縁膜14の上層に形成する。

【0033】次に、図2(b)に示すように、マグネトロンエッチング装置により、例えば(基板設置電極温度:20℃、電源パワー:1600W、圧力:5.3Pa、エッチングガスおよび流量:C<sub>4</sub>F<sub>8</sub>/CO/Ar/O<sub>2</sub>=14/250/100/2sccm)の条件にてエッチング処理を施して、第2層間絶縁膜21を貫通して第1層間絶縁膜20を露出させる開口部を開口する。

【0034】次に、図3(c)に示すように、ECR (Electron Cyclotron Resonance) 型のプラズマエッチング装置により、例えば(基板設置電極温度:20℃、μ波パワー(2.45GHz):2000W、圧力:0.8Pa、RFパワー:300W、エッチングガスおよび流量:NH<sub>3</sub>=100sccm)の条件にてエッチング処理を

施して、第1層間絶縁膜20および第2層間絶縁膜21からなる絶縁膜を貫通して第1配線層30の上面を露出させるコンタクトホール(開口部)CHを開口する。上記のエッチング処理において、有機系材料からなるレジスト膜Rは、エッチング除去される。上記のエッチング処理においては、アンモニアガスを含むガス中における気体放電により、NH基を含むイオンまたはラジカルを発生させ、これをエッチャントとして基板に作用させ、エッチング処理する。エッチングガスとしては、例えば水素と窒素の混合ガス(流量H<sub>2</sub>+N<sub>2</sub>=100sccm(例えばH<sub>2</sub>/N<sub>2</sub>=75/25sccm))を用いる条件とし、上記と同様に水素と窒素の混合ガスを含むガス中における気体放電により、NH基を含むイオンまたはラジカルを発生させ、これをエッチャントとして基板に作用させ、エッチング処理することも可能である。上記のエッチング処理においては、例えばCN基を含む反応生成物を生成しながらエッチングを行う。

【0035】次に、図4(d)に示すように、例えばスパッタリング法(遠距離スパッタリング法あるいはイオン化スパッタリング法)により、コンタクトホールCHの内壁面を被覆して窒化チタン膜あるいは窒化チタンとチタンの積層膜などを成膜し、密着層15を形成する。

【0036】次に、図4(e)に示すように、例えばCVD法によりコンタクトホールH内をタングステンで埋め込み、プラグ用層16を形成する。ここで、タングステンのCVD処理における原料ガスおよび流量としては、例えば、核形成段階ではWF<sub>6</sub>/H<sub>2</sub>/SiH<sub>4</sub>/Ar=30/1000/10/2500sccm、埋め込み段階ではWF<sub>6</sub>/H<sub>2</sub>/Ar=75/500/2500sccmとする。プラグ用層の材料としては、例えば抵抗の低い金属材料である銅を用いることも可能である。この場合には、密着層として、窒化タンタルを用いることが好ましい。

【0037】次に、図4(f)に示すように、RIEなどのエッチングによるエッチバック、あるいはCMP (Chemical Mechanical Polishing) 処理などにより、コンタクトホールCHの外部のプラグ用層16および密着層15を除去して、コンタクトホールCH内に埋め込まれたプラグ16aとする。

【0038】以降の工程としては、例えばアルミニウムなどによりプラグ16aに接続して第2配線層17をパターン形成する。以上で、図1に示すように、コンタクトホールCH内に埋め込まれたプラグ16aにより、第1配線層11および第2配線層17が接続された配線層を形成することができる。

【0039】上記の本実施形態の配線層の形成方法によれば、ポリアリアルエーテル膜などの有機系誘電膜部分をエッチングするときに、少なくともNH基を含むイオンまたはラジカルによるエッチング処理を用いてエッチング加工する。NH基を含むイオンまたはラジカルによるエッチングによれば、導電不良の原因となるダメージ

層を形成することなく、サイドエッチを抑制し、また、450nm/分程度の高いエッチング速度を維持して、スループットの低下をもたらさずに迅速に、有機系誘電膜を含む絶縁膜を異方性エッチング加工することができ、このエッチング処理により絶縁膜に開口部を形成して、導電体で埋め込み、配線層を形成することができる。

【0040】(実施例1)上記の実施形態において、ポリアリアルエーテルからなる第2層間絶縁膜をエッチング加工するときのエッチング処理として、(a)  $N_2=100$  sccm、(b)  $N_2/H_2=50/50$  sccm、(c)  $H_2=100$  sccmとしたときのエッチングガスから発光される光を分光して得た発光スペクトルを測定した。結果を図5に示す。図5に示すように、 $N_2/H_2$  混合ガスでエッチングを行っている場合には、 $N_2$ ガスあるいは $H_2$ ガスをを用いた場合には見られないNHのピークが観測された。また、CNのピークについては $N_2/H_2$  混合ガスの場合は $N_2$ ガスあるいは $H_2$ ガスの場合よりも強くピークが観測された。

【0041】(実施例2)上記の実施形態において、ポリアリアルエーテルからなる第2層間絶縁膜をエッチング加工するときのエッチング処理として、 $N_2/H_2=100/0 \sim 50/50 \sim 0/100$  sccm とエッチングガス流量比を変化させたときの相対エッチング速度( $N_2/H_2=100/0$  sccm のときのエッチング速度を1とする)と、各流量比における(CN, NH,  $N_2$ , CH, H)の各発光成分の発光スペクトル強度比を測定した。結果を図6に示す。図6に示すように、エッチング速度とCNとNHの発光スペクトル強度比はほぼ同じ挙動を示すことがわかった。

【0042】上記の実施例1および実施例2の実験から、ポリアリアルエーテルからなる第2層間絶縁膜をエッチング加工するときに、NH基を含むイオンあるいはラジカルがエッチャントとして作用し、その反応生成物としてCNを含む化合物が生成されていることが確認された。

【0043】(実施例3)上記の実施形態において、ポリアリアルエーテルからなる第2層間絶縁膜をエッチング加工するときのエッチングガスとして、(a)  $N_2$ 、(b)  $N_2/H_2$  を用いた場合のエッチング中のマスペクトルを測定した。結果を図7に示す。図7に示すように、 $N_2/H_2$  ガスをを用いたエッチングにおいては、 $NH_3$  イオンおよびラジカルが生成されており、これがエッチャントとして寄与し、反応生成物として、CNあるいはCNを含む分子が生成されていることが確認された。

【0044】本発明は、絶縁膜のエッチング方法や配線層の形成方法を含む半導体装置の製造方法などに適用可能であり、半導体装置としては、DRAMなどのMOSトランジスタの半導体装置や、バイポーラ系の半導体装置、あるいはA/Dコンバータなど、絶縁膜のエッチング方法や配線層の形成方法を含む方法により形成されるものであれば何にでも適用可能であり、限定はない。

【0045】本発明は、上記の実施の形態に限定されない。例えば、有機系誘電膜を含む絶縁膜をエッチングしてコンタクトホールを開口するほかに、溝配線を形成するためのダマシンプロセス、あるいは、溝配線とコンタクトホールを同時に開口するデュアルダマシンプロセスなどのエッチング加工に適用することも可能である。また、第1層間絶縁膜および第2層間絶縁膜は、それぞれ多層構成とすることができる。第1および第2配線層、プラグなどの配線層は、それぞれ単層構成あるいは多層構成とすることが可能である。半導体基板には、トランジスタやキャパシタなどの種々の半導体素子を形成することができる。その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

#### 【0046】

【発明の効果】本発明によれば、ポリアリアルエーテル膜などの有機系誘電膜部分をエッチングするときに、少なくともNH基を含むイオンまたはラジカルによりエッチングして、導電不良の原因となるダメージ層を形成することなく、サイドエッチを抑制し、また、高いエッチング速度を維持してスループットの低下をもたらさずに迅速に、エッチングすることができる。また、このエッチング処理により有機系誘電膜を含む絶縁膜に開口部を形成し、導電体で埋め込んで配線層を形成することができる。

#### 【図面の簡単な説明】

【図1】図1は本実施形態に係る配線層の形成方法により形成した配線層の断面図である。

【図2】図2は本実施形態に係る配線層の形成方法の形成工程を示す断面図であり、(a)はレジスト膜の形成工程まで、(b)は第1層間絶縁膜のエッチング工程までを示す。

【図3】図3は図2の続きの工程を示し、(c)は第2層間絶縁膜のエッチング工程まで、(d)は密着層の形成工程までを示す。

【図4】図4は図3の続きの工程を示し、(e)はプラグ用層の形成工程まで、(f)はコンタクトホールの外部のプラグ用層および密着層の除去工程までを示す。

【図5】図5は実施例1において測定した発光スペクトルを示す図であり、(a)  $N_2=100$  sccm、(b)  $N_2/H_2=50/50$  sccm、(c)  $H_2=100$  sccmとしたときの発光スペクトルである。

【図6】図6は実施例2において測定したエッチングガス流量比を変化させたときの相対エッチング速度と、各流量比における(CN, NH,  $N_2$ , CH, H)の各発光成分の発光スペクトル強度比を示す図である。

【図7】図7は実施例3において測定したマスペクトルを示す図であり、(a)  $N_2$ 、(b)  $N_2/H_2$  を用いた場合のエッチング中のマスペクトルである。

【図8】図8は従来例に係る配線層の形成方法の形成工程を示す断面図であり、(a)はレジスト膜の形成工程

まで、(b)は第1層間絶縁膜のエッチング工程までを示す。

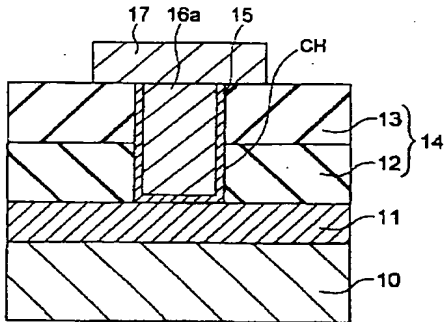
【図9】図9は図8の続きの工程を示し、(c)は第2層間絶縁膜のエッチング工程まで、(d)は密着層の形成工程までを示す。

【図10】図10は図9の続きの工程であるプラグ用層の形成工程における問題点を示す断面図である。

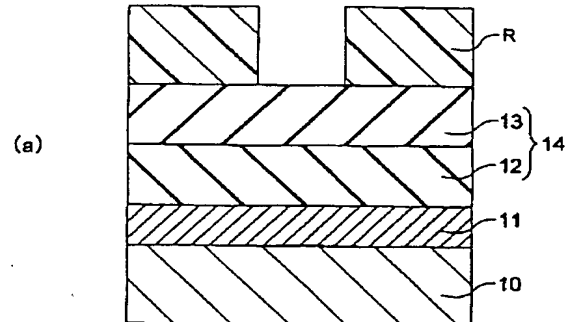
# 【符号の説明】

10…半導体基板、11…第1配線層、12…第1層間絶縁膜、12'…ダメージ層、13…第2層間絶縁膜、14…層間絶縁膜、15…密着層、16…プラグ用層、16a…プラグ、17…第2配線層、R…レジスト膜、CH…コンタクトホール、G…ガス、V…ボイド(埋め込み不良)。

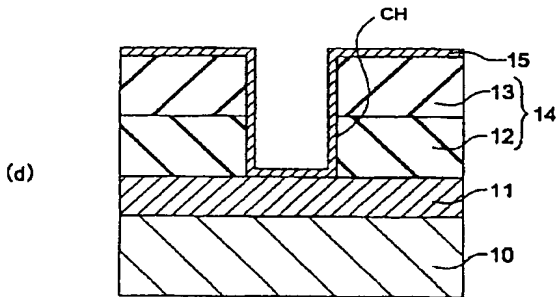
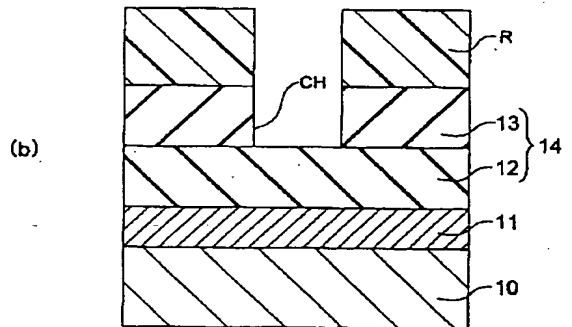
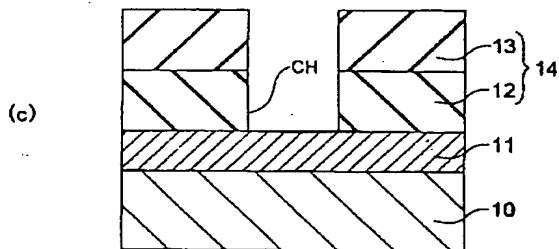
【図1】



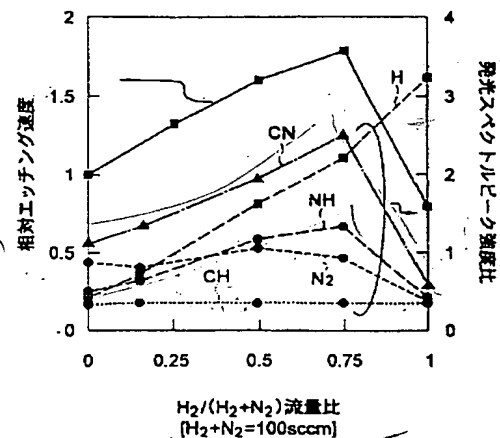
【図2】



【図3】

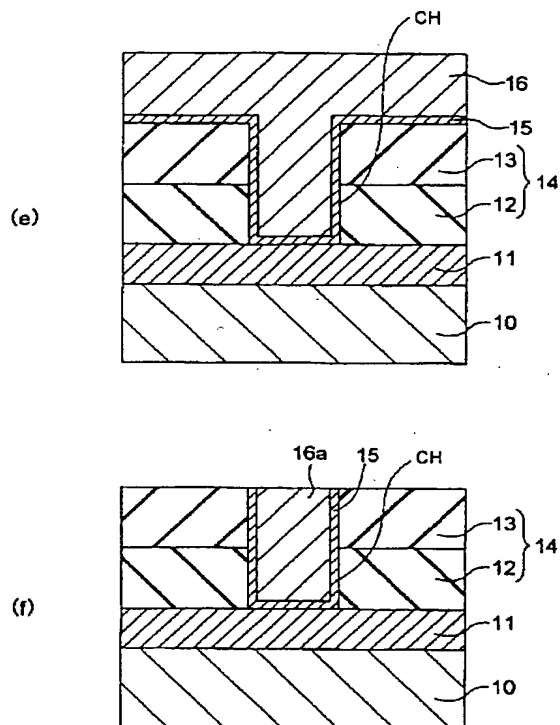


【図6】

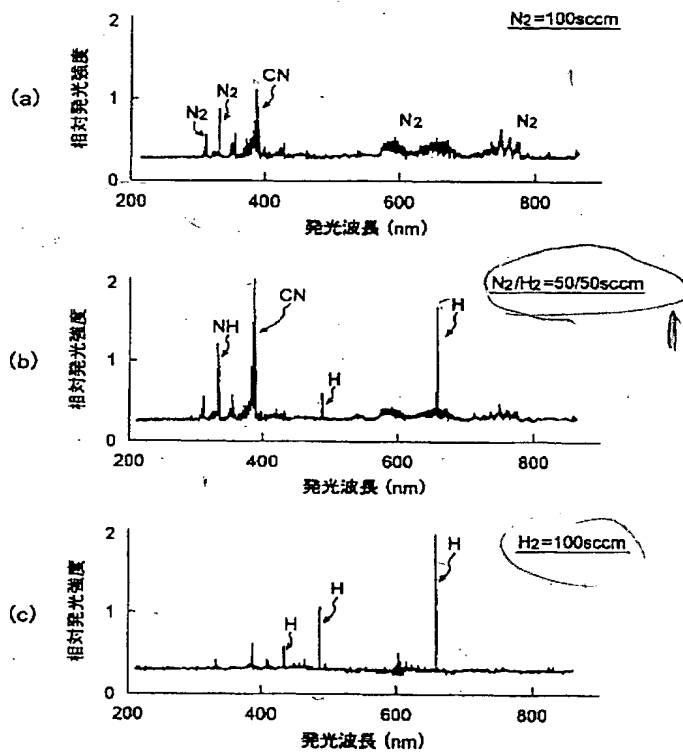


Plus Plus

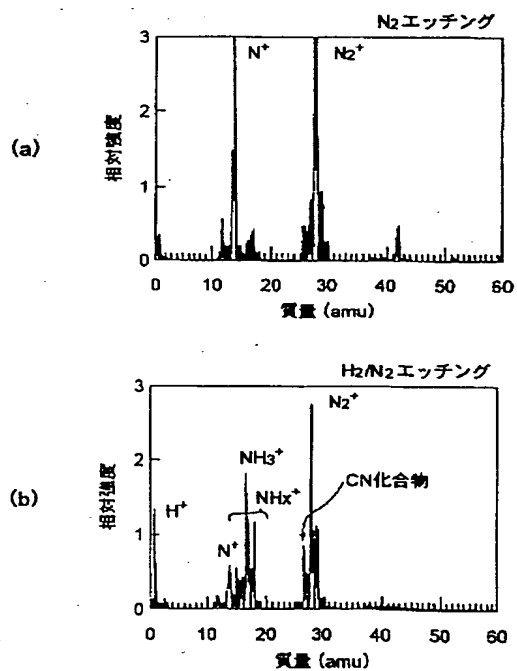
【図4】



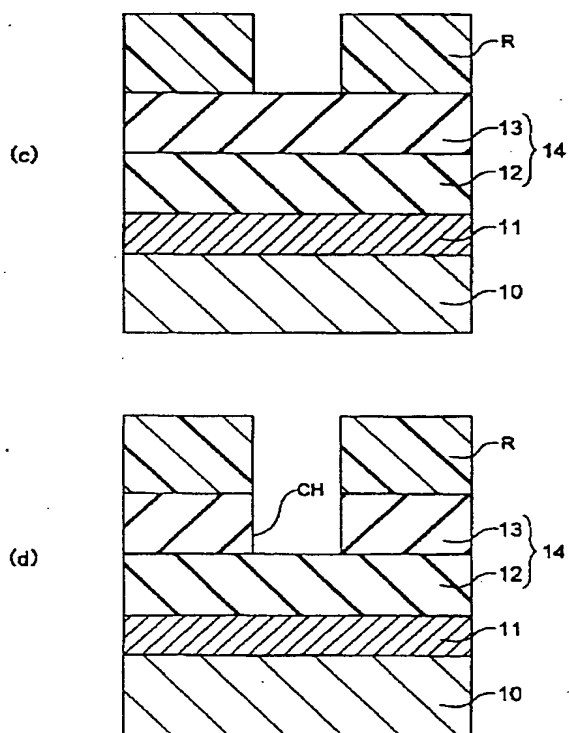
【図5】



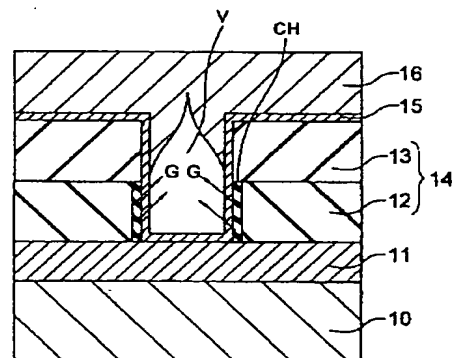
【図7】



【図8】



【図 10】



Fターム(参考)	4M104	AA01	BB02	CC01					
	5F004	AA11	AA16	BA08	BA14	BB13			
		BB14	CA06	DA00	DA23	DA24			
		DA25	DA26	DB09	DB23	EA26			
		EA27	EB01	EB02	EB03	FA01			
	5F033	HH08	JJ19	JJ33	KK08	MM01			
		MM02	NN06	NN07	PP04	PP06			
		PP15	QQ08	QQ09	QQ10	QQ12			
		QQ13	QQ15	QQ21	QQ31	QQ37			
		QQ48	RR04	RR21	SS02	SS15			
		SS22	TT04	TT07	XX03	XX34			